

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-198538**

(43)Date of publication of application : **12.07.2002**

(51)Int.Cl.

**H01L 29/786**

**H01L 21/336**

**H01L 21/8234**

**H01L 27/08**

**H01L 27/088**

**H01L 29/161**

(21)Application number : **2001-319845** (71)Applicant : **INTERNATL BUSINESS MACH CORP <IBM>**

(22)Date of filing : **17.10.2001** (72)Inventor : **ADKISSON JAMES W  
AGNELLO PAUL D  
ARNE W BALLANTINE  
DIVAKARUNI RAMA  
JONES ERIN C  
NOWAK EDWARD J  
RANKIN JED H**

(30)Priority

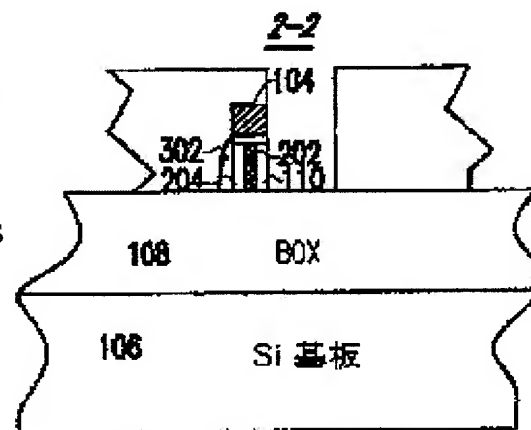
Priority number : **2000 691353** Priority date : **18.10.2000** Priority country : **US**

(54) **METHOD FOR MANUFACTURING SEMICONDUCTOR SIDEWALL FIN**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a dual-gate transistor having a relatively thin epitaxial growth channel.

**SOLUTION:** The epitaxial growth channel is formed, and then a damascene gate is formed, thus forming a silicon-on-insulator(SOI) MOSFET of a dual gate. In the dual-gate MOSFET, a narrow channel should be provided, thus increasing a current drive per layout width, and achieving low out conductance.



## LEGAL STATUS

[Date of request for examination] 17.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-198538  
(P2002-198538A)

(43) 公開日 平成14年7月12日 (2002.7.12)

| (51) Int.Cl. <sup>7</sup> | 識別番号  | F I           | デマコト* (参考)        |
|---------------------------|-------|---------------|-------------------|
| H 0 1 L 29/786            |       | H 0 1 L 27/08 | 3 3 1 E 5 F 0 4 8 |
| 21/336                    |       | 29/78         | 6 1 8 C 5 F 1 1 0 |
| 21/8234                   |       | 27/08         | 1 0 2 A           |
| 27/08                     | 3 3 1 |               | 1 0 2 B           |
| 27/088                    |       | 29/163        |                   |

審査請求 有 請求項の数23 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2001-319845(P2001-319845)  
(22) 出願日 平成13年10月17日 (2001.10.17)  
(31) 優先権主張番号 09/691353  
(32) 優先日 平成12年10月18日 (2000.10.18)  
(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531  
インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)  
(72) 発明者 ジェームズ・ダブリュ・アドキソン  
アメリカ合衆国05465 バーモント州ジェリコ フィールズ・レーン 55  
(74) 代理人 100086243  
弁理士 坂口 博 (外2名)

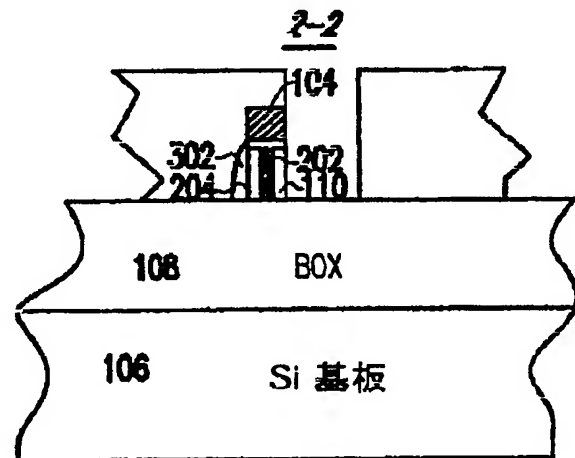
最終頁に続く

(54) 【発明の名称】 半導体側壁フィンを製造する方法

(57) 【要約】

【課題】 比較的薄いエピタキシャル成長チャネルを有するデュアル・ゲート・トランジスタを提供する。

【解決手段】 エピタキシャル成長チャネルを形成し、その後にゲタシン・ゲートを形成することによって二重ゲートのシリコン・オン・インシュレータ (SOI) MOSFETを作成する。この二重ゲートMOSFETは狭いチャネルを特徴とし、これがレイアウト幅当たりの電流ドライブを増加し、低いアウト・コンダクタンスを提供する。



【特許請求の範囲】

【請求項1】基板を提供するステップと、  
前記基板上に側部表面を有する層を形成するステップと、  
前記側部表面上に第1側壁を有するエピタキシャル・チャンネルを形成するステップと、  
前記チャンネルの第2側壁を露出させるために前記層を除去するステップと、  
前記第1チャンネルの端に結合されたソースおよびドレイン領域を形成するステップと、  
前記チャンネルの側壁の少なくとも一方に隣接してゲートを形成するステップを含む電界効果トランジスタ(FET)を形成する方法。

【請求項2】基板と、  
前記基板におけるソース領域およびドレイン領域であって、前記ソース領域および前記ドレイン領域の各々が頂部、底部、および少なくとも2つの側部拡散表面を有し、前記拡散表面の対応する1つと実質的に共面の頂部、底部および側部チャンネル表面を有するエピタキシャル成長チャンネル領域によって分離されたソース領域およびドレイン領域と、  
前記頂部および側部チャンネル表面に隣接し、前記頂部および側部チャンネル表面から電氣的に絶縁されたゲートと、  
FETを制御するためのゲート制御電圧を受け取るための接点を有する平坦な頂部表面を備えた前記ゲートとを備えた電界効果トランジスタ(FET)。

【請求項3】前記ソースおよびドレインがFETを制御するための制御電圧を受け取るための接点を有する請求項2に記載のFET。

【請求項4】前記ゲートが実質的に前記ソース領域と前記ドレイン領域との間の中央に位置し、かつそれらと実質的に平行である請求項2に記載のFET。

【請求項5】前記ゲートの頂部表面と接触する珪化物層をさらに備えた請求項2に記載のFET。

【請求項6】前記ゲートの第1側端および第2側端と接触する誘電体層をさらに備えた請求項2に記載のFET。

【請求項7】前記チャンネルの側部表面と接触する誘電体をさらに備えた請求項2に記載のFET。

【請求項8】前記ゲートがポリシリコンから構成される請求項2に記載のFET。

【請求項9】前記チャンネルがFETの長さの約4分の1である請求項2に記載のFET。

【請求項10】各々が実質的に共面の頂部表面を有し、前記それぞれ実質的に共面の頂部表面上に接点パッドを有する電氣的に分離された2つの部分に、前記ゲートを電氣的に分離するための前記ゲート内の誘電体材料をさらに含む請求項2に記載のFET。

【請求項11】前記エピタキシャル・チャンネルがI V族

元素の組み合わせから形成される請求項2に記載のFET。

【請求項12】前記エピタキシャル・チャンネルがシリコンとI V族元素の合金から形成される請求項2に記載のFET。

【請求項13】前記エピタキシャル・チャンネルがシリコンと、ゲルマニウムおよび炭素の少なくとも1つとの合金から形成される請求項2に記載のFET。

【請求項14】基板上に第1および第2エピタキシャル成長チャンネルを形成するステップと、  
ソースおよびドレインの側部表面が前記第1および第2エピタキシャル成長チャンネルの相対する端部表面と接触するように、シリコン層内の領域をエッチングしてソースおよびドレインを形成するステップと、  
前記第1および第2エピタキシャル成長チャンネルの頂部表面および2つの側部表面、ならびに基板の頂部表面に接触するゲートを形成するステップとを含む二重ゲート電界効果トランジスタ(FET)を形成する方法。

【請求項15】前記形成ステップが、  
シリコン・ラインの各端が前記ソースおよびドレインの端と接触するように、第1および第2シリコン・ラインを形成するステップと、  
前記第1および第2シリコン・ラインの各々の露出した側部表面上でエッチ・ストップ層を形成するステップと、  
各エッチ・ストップ層上で第1および第2シリコン層をエピタキシャル成長させるステップと、  
前記第1および第2シリコン・ラインおよびエッチ・ストップ層をエッチングで除去するステップと、  
前記第1および第2エピタキシャル成長シリコン層の周囲および前記ソースとドレインとの間の領域を酸化物充填材で充填するステップと、  
前記酸化物充填材の一部をエッチングして、前記ソースと前記ドレインとの間の実質的に中央に位置しかつそれらと実質的に平行であるようなゲートを画定する領域を形成するステップと、  
材料を堆積してゲートを形成するステップとを含む請求項14に記載の方法。

【請求項16】前記ゲートと前記ソースとの間の酸化物充填材をエッチングして、前記第1および第2エピタキシャル成長シリコン層を露出させるステップと、  
前記ゲートと前記ドレインとの間の酸化物充填材をエッチングして、前記第1および第2エピタキシャル成長シリコン層を露出させるステップとをさらに含む請求項15に記載の方法。

【請求項17】前記第1および第2エピタキシャル成長シリコン層の上に酸化物を形成するステップをさらに備えた請求項16に記載の方法。

【請求項18】前記酸化物が二酸化シリコンである請求項17に記載の方法。

【請求項19】前記ゲートと前記ソースとの間の前記エピタキシャル成長シリコン層の一部分に注入するステップと、

前記ゲートと前記ドレインとの間の前記エピタキシャル成長シリコン層の一部分に注入するステップとをさらに含む請求項16に記載の方法。

【請求項20】前記注入ステップが、前記エピタキシャル成長シリコン層の頂部表面に垂直なベクトルに対して10から45度の範囲内にある請求項18に記載の方法。

【請求項21】前記注入が相互に対して約90度の角度で連続して行われる請求項14に記載の方法。

【請求項22】前記ゲート、前記ソース、および前記ドレインの各々の上に接点を形成するステップをさらに含む請求項14に記載の方法。

【請求項23】ゲート材料がポリシリコンである請求項14に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的にデュアル・ゲート金属酸化物半導体電界効果トランジスタ(MOSFET)の提供に関し、さらに詳しくは、比較的薄いエピタキシャル成長チャンネルを有するデュアル・ゲートMOSFETの提供に関する。

【0002】

【従来の技術】電界効果トランジスタ(FET)の構造は単一ゲート(単一チャンネル)または1対のゲートを含むことができるが、二重ゲート版には、チャンネルを短くでき、したがってより高速のデバイスを生産できる利点がある。ゲート長が50nm未満に縮小するので、FETのスケールはゲート制御の有限深さによって制限されるようになる。研究から、FETチャンネルの複数の側面にゲートを配置すると、短チャンネル特性およびオフ電流特性に関してFETの性能が改善されることが示された。シリコンが完全に空乏化するだけの十分に薄いことを前提として、FETチャンネルの複数の側面にゲートを配置すると、電界および電荷は、電界が事実上無限のシリコン基板内に自由に深く浸透する標準的なFETよりもきわめて密に閉じ込められる。完全に空乏化したデュアル・ゲート構造で可能なこの閉じ込めによって短チャンネル効果の改善が可能になり、20~30nmのゲート長を有するデバイスが可能である。反転で生じたチャンネルがシリコンの両側および場合によってはチャンネル全体にわたって形成され、これによって飽和電流を増加することができる。他の報告されている利点は、ほぼ理想的なサブスレショルド勾配、飽和電流の増加、および短チャンネル効果ならびにフローティング・ボディ効果の軽減を含む。要件は一般に、5~50nmの範囲の薄い拡散領域および20~100nmまでのゲート長であり、ゲート長は拡散長の2から4倍であることが好ましい。

【0003】多数の水平型二重ゲートFET構造、特にSOI二重ゲートFET構造が提案されてきた。これらの構造は一般に、従来の上部ゲートに加えて、薄いシリコン本体の下に形成された下部ゲートを必要とする。このような構造の製作は、上部ゲートと下部ゲートを最新技術のリソグラフィ装置および方法の精度を超える許容範囲で位置合わせしなければならず、また自己位置合わせ技術は上部ゲートと下部ゲートとの間の層によって妨げられるため、困難である。

【0004】Hon Sum Philipらによる「Self-Aligned (Top and Bottom) Double-Gate MOSFET With a 25 nm Thick Silicon Channel」(IEDM 97-427, IEEE 1997年)では、二重ゲートMOSFETは、ゲート長を極限の20~30nmまで縮小した相補型金属酸化物半導体(COMS)の最も有望な候補とみなされている。厳格なモンテ・カルロ・デバイス・シミュレーションおよび解析計算では、シリコン・チャンネルの厚さを10~25nmに削減することができ、かつゲート酸化物の厚さが2~3nmに削減されることを前提として、ゲート長20~30nmまでデバイス性能が引き続き改善されることが予測された。しかし、位置合わせ不良は過剰なゲート・ソース/ドレイン・オーバーラップ容量のみならず電流駆動の損失をも引き起こすので、上部と下部の位置合わせは非常に重要である。

【0005】以下の特許はFETに関係し、特に二重ゲートFETに関係するものである。

【0006】米国特許第5,780,327号は、バルクまたはSOI基板上にスタック状に配置されたエピタキシャル・チャンネル層およびドレイン層を含む垂直二重ゲート電界効果トランジスタを記載している。ゲート酸化物は、入力容量の問題を最小にするために微分酸化速度を用いてスタックの側面に熟成長させる。ゲートはスタックの一端の周りを取り巻き、第2端には接点形成される。スタックの第2端に埋め込まれたエッチ・ストップ層は、接点をチャンネル層に直接形成することを可能にする。

【0007】米国特許第5,773,331号は、側壁ドレイン接点を有する単一ゲートおよび二重ゲート電界効果トランジスタの作成方法を記載している。FETのチャンネルは下にある支持構造に対して隆起し、ソースおよびドレイン領域はチャンネルの一体部分を形成する。

【0008】米国特許第5,757,038号は、自己位置合わせプロセスによって形成された実質的に均一な幅の超薄チャンネルを有する自己位置合わせデュアル・ゲートFETを対象としている。異なる材料間で選択的エッチングまたは制御酸化を利用して、2.5nmから100nmまでの範囲の厚さを有し、ソース領域とドレイン領域の間に伸びる垂直チャンネルを形成する。

【0009】米国特許第5,580,802号は、上部ゲートによって包囲されたソース、チャンネル、およびド

レインを含むSOIゲート・オール・アラウンド (GAA) MOSFETを記載している。上部ゲートは、他の埋め込み構造にも用途を有し、SOIウェハのソース、チャンネル、およびドレイン半導体層上に形成される下部ゲート誘電体上に形成される。

【0010】米国特許第5,308,999号は、SOI層のチャンネル領域の上部表面および2つの側部表面上にゲート電極を形成することにより、またゲート電極が完全に接続しないようにして、ゲート電極を部分的にチャンネル領域の底部より下で内側に向かって伸ばすことにより、SOI構造を有するMIS (金属絶縁体半導体) FETの破壊電圧が改善される、薄膜SOI構造を有するMOSFETを記載している。

【0011】米国特許第5,689,127号は、バルクまたはSOI基板上にスタック状に配置されたソース層、エピタキシャル・チャンネル層、およびドレイン層を含む垂直二重ゲートFETを記載している。ゲート酸化物は、入力容量の問題を最小にするために微分酸化速度を用いてスタックの側面に熟成長させる。ゲートはスタックの一端の周りを取り巻き、第2端には接点形成される。スタックの第2端に埋め込まれたエッチ・ストップ層は、接点をチャンネル層に直接形成することを可能にする。

【0012】リソグラフィによって画定するゲートは非常に単純であるが、多数の欠点を免れない。第一に、ゲートの画定で拡散の側部にボリのスペーサが残る可能性や、拡散の側部に必要な勾配が決まる可能性があるため、結果的により劣等な品質または制御されにくいデバイスあるいはその両方が生じる。第二に、ボリの勾配は本質的に珪化ゲートの形成を困難にし、低速なデバイス性能に至る。最後に、50nmデザイン・ルールの技術では100nm~200nm程度の段差が予想されるので、ボリの段差の高さは、リソグラフィによる画定にとって困難な問題をもたらす。

【0013】二重ゲートFETの製造における重大な難点は、薄い拡散の珪化または許容できる接触抵抗のポリシリコンを達成すること、2つのゲートの位置合わせ不良を生じることなくラップアラウンド・ゲートの製作を可能にすること、および狭い拡散 (理想的にはゲート長の2~4分の1) の製作である。

【0014】デュアル・ゲート・トランジスタを生成するための追加的技術は、高い段差高のゲートをリソグラフィにより画定すること (米国特許第4,996,574号参照)、「エアブリッジ」シリコン構造を提供する選択的エピタキシャル成長を形成すること (Hon-Sum Philip Wong, International Electron Devices Meeting (IEDM) 1997年, pg.427参照)、および垂直キャリア輸送を伴うラップアラウンド・ゲートを形成すること (H. Takato IEDM, 1988年, pg.222参照)を含む。

【0015】要するに、先の製法は、リソグラフィに

より画定するシリコン・チャンネルおよび長く封じ込められた横方向のエピタキシャル成長に依存してきた。しかし、リソグラフィにより画定されるチャンネルは、十分に正確な許容範囲を持たせて形成することができず、上述の方法では使用可能な許容範囲を適切に維持して、最適に近いデュアル・ゲート・トランジスタ性能をサポートすることさえできない。さらに、横方向に画定されるFET幅で横方向電流を使用する技術は、たとえシリコンの厚さを厳密に制御することができても、上部ゲートと下部ゲートの位置合わせの難しさを免れない。

【0016】米国特許出願第09/526,857号は、チャンネル幅を十分に小さくすることができることを仮定して、二重ゲート・トランジスタを作成する方法を記載している。

【0017】

【発明が解決しようとする課題】したがって、本発明の目的は、比較的薄いエピタキシャル成長チャンネルを有するデュアル・ゲート・トランジスタを提供することである。

【0018】

【課題を解決するための手段】本発明により、基板上にシリコン層を形成するステップを備えた、電界効果トランジスタ (FET) を形成する方法を提供する。次に、シリコン層の側部表面にエピタキシャル・チャンネルを形成し、したがってチャンネルの一方の側壁は露出している。次いでシリコン層を除去し、それによりエピタキシャル・チャンネルの第2側壁を露出させる。次いでソース領域およびドレイン領域を形成し、エピタキシャル・チャンネルの端に結合する。最後に、エピタキシャル・チャンネル上にゲートを形成する。

【0019】このようにして本発明は、非常に薄いチャンネルを形成するためにエピタキシャル領域を成長するための既知の技術を使用して非常に薄い拡散領域を提供しようとするものであり、選択的エッチングによって維持することができ、またエピタキシャル成長が薄い制限層の存在によって複雑化されないような、リソグラフィにより画定されるチャンネルよりも非常に厳しい許容範囲がチャンネル厚に対して得られるという利点を持つ。

【0020】本発明の上記その他の目的、態様および利点は図面を参照しながら本発明の好ましい実施形態についての以下の詳しい説明を読めば、よりよく理解できよう。

【0021】

【発明の実施の形態】今、図1を参照すると、開始用のシリコン・オン・インシュレータ (SOI) 基板100の平面図が示されている。図1に示した切断部1-1および2-2にそれぞれ対応する図2および図3に示すように、基板100はバルク基板106、埋込み酸化物 (BOX) 108層、および活性層110から成る。図2および図3はまた、活性層110上の酸化物パッド膜

102および窒化物パッド膜104をも示す。窒化物パッド膜104の上に酸化物パッド膜102を配置させることが好ましいことを、当業者は認識するであろう。パッド酸化物102は標準的な酸化技術を用いて成長し、一般的に3から14 nmまでの範囲内にあるが8 nmが好ましい。パッド膜104はパッド酸化物膜102の上に配置される。窒化物の膜をパッド膜104として利用することが好ましいが、他の材料を使用することもできる。窒化物(上)パッド膜104は一般的に30から120 nmまでの範囲内であり、80 nmが好ましく、浅いトレンチ分離(STI)の形成用のエッチ領域を画定する。

【0022】活性デバイス層110をパターン形成して、シリコン・チャンネルが形成されるエッジ112を形成する。チャンネル領域になるところを形成するために使用される活性層110の幅113は、マスキングのためには十分に広く、かつオーバエッチングを制限するためには十分に狭く、それによって適切で実用的な製造許容範囲を提供しなければならないことを除いては、重要ではない。この段階で、当業者に知られている従来の処理技術に従って、ソース114およびドレイン116領域ならびに接点領域118、120になるシリコン領域を形成することが好ましい。

【0023】図4、図5、および図6は、エッチ・ストップ202のエピタキシャル成長およびその後のチャンネル204のエピタキシャル成長の後の図1、図2、および図3にそれぞれ対応する。エッチ・ストップはSi(0.3)Ge(0.7)で構成し、エピタキシャル成長チャンネルはシリコンまたはゲルマニウムおよび/または炭素とシリコンの合金から構成することが好ましい。シリコンと他のIV族元素(特にゲルマニウムおよび炭素)との合金は、チャンネルにひずみを加えるか、またはチャンネル中にわたり伝導帯および価電子帯を変化させるか、あるいはその両方によってデバイスのスレシールドを変更したり、あるいはキャリア輸送を改善することによって、FET性能を最適化するために使用することができる。エッチ・ストップ202およびチャンネル204の形成前に適切なクリーニング・プロセスを使用して、酸化物パッド膜104の下でのシリコン110の部分の除去することは、当業者には明白であろう。除去されるシリコンの幅は、エッチ・ストップ202およびチャンネル204の組み合わせ幅にほぼ等しくする必要がある。

【0024】ファセッティングが過剰である場合、エッチ・ストップ202およびチャンネル204の非選択的エピタキシャル堆積が必要になるかもしれないが、選択的堆積が好ましい。層202の厚さは約5 nmであることが好ましい。ファセッティングは、エピタキシャル成長の詳細に大きく依存する。特に選択的エピタキシャル成長の場合、ファセッティングは、開口のエッジに近づくにつれて、エピタキシャル領域の厚さを変化させるかも

しれない。チャンネルは成長の高さに比較して非常に薄く突出するので、チャンネルが影響を受ける領域は小さくなると思われる。転位が形成される前の許容厚さはGe断片に対して敏感であり、Ge断片の増加と共に急速に低下する(A. Fischer and H. Kuhne, "Critical Dose for Strained Layer Configurations", Phys. Stat. Sol (a), 155, 141, 1996年参照)。次いで、チャンネル204を好ましくは5~50 nmの範囲でエピタキシャル成長させる。

【0025】チャンネル204の底部と頂部は欠陥がある可能性がある。特にエピタキシャル層が薄い場合、この領域は極めて小さくなると思われ、デバイスの形成に対しては重要ではないかもしれない。しかし、これらの領域を除去する必要がある場合は、デバイス幅制御の劣化が小さくしかし許容できる程度で実行に利用できる2つのプロセスがある。具体的には、エピタキシャル領域の頂部をむき出しにするためにより低くエッチングする以外は、図8のスペーサ302のそれと同様にスペーサを堆積することができる。このスペーサを形成した後、図22の左側に示すようにスペーサの下に埋込み酸化物をエッチングする。別法として薄い複合スペーサを使用することもできる。この場合、スペーサの底部は等方的にエッチングして、頂部および底部領域をむき出しにする。スペーサ(オーバエッチ)の高さは、図22の右側に示すように、スペーサの底部のエピタキシャル領域に達するために必要なアングラカットによって決定される。欠陥領域をエッチングした後、次の処理ステップに進む前に、スペーサは選択的にエピタキシャル領域および埋込み酸化物層まで除去される。図10に示したスペーサを除去した後で、上述の手順を実行し、さらなる処理の前に上述した手順のスペーサを除去することもできることに留意されたい。

【0026】図7および図8は、以下で述べる追加加工ステップ後の図4および図6にそれぞれ対応する。図8に示すように、チャンネル204を攻撃から守るために、当業者に広く周知の適切な技術および材料を使用して、スペーサ302が形成される。

【0027】次いで、図7に示すマスク開口304がマスク開口304内でシリコン層110の露出部分およびエッチ・ストップ202の除去を可能にするように、マスクが適用され配置される。マスク304はチャンネル204にできるだけ近づけて位置を合わせることが好ましい。マスク開口304内の露出したシリコン110は、次に異方性エッチングを用いてエッチングされる。

【0028】次いで、マスク開口304内の露出シリコン110がエッチングされる。このエッチング中に全てのシリコン110が除去されるわけではないので、シリコン層110は側方にもエッチングされ、エッチ・ストップ202で停止する(K.D. Hobart, F.J. Kub, M.E. T wigg, G.G. Jernigan, P.E. Thompson, "Ultra-Cut: A S

imple Technique for the Fabrication of SOI Substrates with Ultra-thin (<5nm) Silicon Films" < Proc. IEEE International Silicon on Insulator (SOI) Conference, p 145-146, Oct. 1988年参照)。Si:Si(O, 3)Ge(0, 7)に対して約20:1の選択比を持つKOHをエッチング液として利用することができるが、NH<sub>4</sub>OHは、25%Ge膜に対して100:1より優れた選択比を持つことが報告されている(G. Wang et al., "Highly Selective Chemical Etching of Si vs Si(1-x)Ge(x) Using NH<sub>4</sub>OH solution, J. Electrochem. Soc., Vol. 144(3), Mar 1997年, L37 参照)。

【0029】したがって、約70nmのオーバーレイおよび約20nmのエッジ許容範囲の場合、要求される予想厚さは約85nmである。20%のオーバーエッチングを仮定すると、100nmのエッチングが必要になる。最悪の場合のSiGeの攻撃は、KOHをエッチング液として利用した場合で、約5nmとなり、KH<sub>4</sub>OHをエッチング液として利用した場合で、約1nmとなる。

【0030】次に、エッチ・ストップ202を選択的にチャネル204までエッチングする。HF:H<sub>2</sub>O<sub>2</sub>:CH<sub>3</sub>COOHの選択比は、70%Ge膜に対しては約1000:1である。したがって、10nmのエッチングを仮定すると、Siの攻撃は無視できる。HNO<sub>3</sub>:H<sub>2</sub>O:HF(40:20:5)の選択比は、50%Ge膜に対して約25:1の選択比である。効果的なHFの希釈は、約12:1である。酸化物の攻撃は大きい、当業者に広く周知の従来の加工ステップに従って制御することができる。HNO<sub>3</sub>:H<sub>2</sub>O:HFのエッチ速度は約40nm/分であり、非常に短い露出を示唆し、おそらく制御のためにさらに希釈することができる(D.J. Godbey et al., "Selective Removal of Si(1-x)Ge(x) from <100>Si using HNO<sub>3</sub> and HF, J. Electrochem. Soc., 139(10), 2943, 1992年参照)。必要ならば、スペーサ302は、当業者に広く周知の従来の加工ステップに従って除去することができる。

【0031】図9および図10は、活性層10およびエッチ・ストップ202のエッチング後の図7および図8にそれぞれ対応する。必要ならば、当業者に広く周知の従来の加工技術に従って、トリム・マスクを適用して、望ましくないフィン402を除去することができる。図11は、当業者には容易に認識されるであろうが、第1チャネル204について前述したのと同じ処理ステップを使用することによって形成できる第2チャネル502の形成後の図9のデバイスを示す。

【0032】第1チャネル領域204および第2チャネル領域502を形成したところで、デュアル・ゲート・トランジスタを完成するために必要な最終処理ステップの第1シーケンスを下記で述べる。

【0033】今、図12を参照すると、図11のチャネル204および502が、別のゲート構造を形成するた

めに使用できる追加チャネル602と共に示されている。したがって、基板100が、示されたチャネル204、502、および602以外に多数のチャネルを備えることができることを、当業者なら理解するはずである。ここでは、このようにして基板100がバルク基板102、BOX層104、およびチャネル204、502、および602を備えている。

【0034】次いで、図13では標準的なSTI充填物702が設けられ、これは好ましくは厚さ約300から500nmの二酸化シリコン層である。しかし、当業者には周知の他の適切な材料を犠牲膜として使用することもできる。STI表面は研磨によって平坦化することが好ましい。

【0035】図14は、図21の切断部1-1の代表的断面図である。図14における製作中にはポリシリコン導体(PC)レジスト802およびSTI充填物702が存在するが、図21の対応する領域141には存在しないので、図14が代表図である。STI充填物702の選択領域にPCレジスト・マスク802を配置した後、STI充填物702はパッド膜104に対して相対的に、およびBOX層108まで、選択的にエッチングされる。エッチングはBOX層108に対しても相対的に選択的であることが好ましいが、必須ではない。パッド膜104は次にSTI充填層702およびBOX層104まで選択的に除去される。図16および図18は、望むなら、薄いゲート誘電体904をチャネル204、502、および602の側壁のみに置くために、パッド層104を残すことができることを示す。各エッチングで約10:1の選択比があることが好ましく、それは既知のエッチング技術で達成することができる。望むなら、この時点でウェルの注入を任意選択的に導入することができる。これらの注入は、拡散の側壁に充分ドープするため、各注入を相互に約90度回転して、好ましくは10から45度の範囲で大きく傾斜させた注入を用いて行うことができる。拡散の表面層を側面より高濃度でドーピングするのを防止するためには、PCレジスト802の露出領域のパッド膜104を除去する前に注入を行うことができる。

【0036】図15は、図21に示した切断部2-2の代表的断面図である。図15における製作中にはPCレジスト・マスク820およびSTI充填物702が存在するが、図21のソース114、ドレイン116、およびゲート902の間の領域には示されていないので、図15が代表図である。したがって図15は、製作中のPCマスク802の選択的配置を示す。これは、好ましくはフォトリソまたはハードマスクから成るPCマスクを使用する標準的パターン・リソグラフィ技術を用いて達成することができる。

【0037】図16は、ゲート誘電体の成長904(例えばSiO<sub>2</sub>)およびゲート導体902の堆積後の図1



4の基板を示す。窒化酸化物、窒化物／酸化物複合材、金属酸化物（例えば $\text{Al}_2\text{O}_3$ 、 $\text{ZrSiO}_4$ 、 $\text{TiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{ZrO}_2$ 等）、灰チタン石（例えば（Ba、Sr） $\text{TiO}_3$ 、 $\text{La}_2\text{O}_3$ ）、および上記の組み合わせを誘電体として使用することができることを理解されたい。各チャネル204、502および602上のゲート誘電体の成長は、従来の方法による標準炉または枚葉式ウェハ・チャンバ酸化とすることができる。望むなら、酸化の前か、途中で、あるいはその後に窒化種（たとえば、 $\text{N}_2\text{O}$ 、NOまたは $\text{N}_2$ の注入）を導入することができる。各チャネル204、502、および602上のゲート誘電体の堆積は、例えば化学気相成長（CVD）または当業者に知られている他の技術によって達成することができる。

【0038】エッチング後、ゲート902を堆積する。ゲート導体の堆積は、従来のCVDまたは方向性スパッタリング技術を用いて達成することができる。ポリシリコン以外のゲート導体をも使用できることを理解されたい。例えば、SiGe混合物、耐火金属（例えばW）、金属（例えばIr、Al、Ru、Pt）、およびTiNを使用することができる。一般に、研磨が可能でかつ高い導電性および適度な仕事関数を持つ材料であればどんな材料でも、ポリシリコンの代わりに使用することができる。堆積後、ゲート902は従来の技術に従って研磨する。

【0039】図17は、PCレジスト・マスク802を除去した後の図15を示す。STI表面904は従来の技術に従ってクリーニングする。

【0040】図18および図19は、STI充填物702を除去した後の図16のMOSFETデバイスを形成するための拡張注入を示す。注入は、ウェハ表面に垂直なベクトルに対して大きい角度で、好ましくは7から45度の範囲で行う。拡散の側壁に均等に充分ドーピングするためには、ウェハ表面を中心にして相互に約90度回転しながら4回の注入を行う。拡散の表面に強くドーピングすぎるのを防止するために、拡散の上でパッド酸化物層102を利用することができる。この場合、注入後に、しかし最終注入が行われる前に、パッド膜104を除去し、最終注入の後にスペーサ146の堆積を行う。

【0041】図20は、従来のステップに従って珪化物層1102を形成した後の図18のデバイスを示す。また、ゲート902を形成した後、従来のステップに従ってスペーサ1104も形成して、拡散をアニールし、1層の非常に共形的な誘電体充填1106を堆積し、次いでそれをゲート導体の頂部まで研磨する。誘電体充填物1106は窒化物層とそれに続くドーピングガラスとすることが好ましい。高いアスペクト比のため、充填の特性から高速熱CVD、または高密度プラズマ・エンハンスドCVD技法を用いた自己スパッタリング堆積を示唆される。一般的に誘電体ガラスはリンおよび／または硼素を

含むが、ドーピングしないこともできる。

【0042】図21は完成したデバイスの平面図を示す。ソース114およびドレイン116領域は注入によって形成する。接点1106、1108、1110を追加し、従来のステップに従ってラインのバック・エンド（BEOL）加工を行う。

【0043】再び図14に関連して、第2シーケンスは、パッド酸化物102およびパッド窒化物104の膜を除去するステップを備える。必要ならば、使い捨てスペーサを形成し、欠陥がある場合、チャネル204、502および602の頂部をエッチングすることができる。図16に示すように、次いでゲート酸化物を成長させ、好ましくは上述した同じ材料の中からゲート902を堆積し、エッチングしてゲートを形成する。

【0044】以上本発明をその好ましい実施形態に関して述べたが、添付の特許請求の範囲のその精神および範囲から逸脱することなく本発明を實踐できることを、当業者なら理解するであろう。

【0045】まとめとして、本発明の構成に関して以下の事項を開示する。

【0046】（1）基板を提供するステップと、前記基板上に側部表面を有する層を形成するステップと、前記側部表面上に第1側壁を有するエピタキシャル・チャネルを形成するステップと、前記チャネルの第2側壁を露出させるために前記層を除去するステップと、前記第1チャネルの端に結合されたソースおよびドレイン領域を形成するステップと、前記チャネルの側壁の少なくとも一方に隣接してゲートを形成するステップを含む電界効果トランジスタ（FET）を形成する方法。

（2）基板と、前記基板におけるソース領域およびドレイン領域であって、前記ソース領域および前記ドレイン領域の各々が頂部、底部、および少なくとも2つの側部拡散表面を有し、前記拡散表面の対応する1つと実質的に共面の頂部、底部および側部チャネル表面を有するエピタキシャル成長チャネル領域によって分離されたソース領域およびドレイン領域と、前記頂部および側部チャネル表面に隣接し、前記頂部および側部チャネル表面から電気的に絶縁されたゲートと、FETを制御するためのゲート制御電圧を受け取るための接点を有する平坦な頂部表面を備えた前記ゲートとを備えた電界効果トランジスタ（FET）。

（3）前記ソースおよびドレインがFETを制御するための制御電圧を受け取るための接点を有する上記（2）に記載のFET。

（4）前記ゲートが実質的に前記ソース領域と前記ドレイン領域との間の中央に位置し、かつそれらと実質的に平行である上記（2）に記載のFET。

（5）前記ゲートの頂部表面と接触する珪化物層をさらに備えた上記（2）に記載のFET。

（6）前記ゲートの第1側端および第2側端と接触する

誘電体層をさらに備えた上記(2)に記載のFET。

(7) 前記チャネルの側部表面と接触する誘電体をさらに備えた上記(2)に記載のFET。

(8) 前記ゲートがポリシリコンから構成される上記(2)に記載のFET。

(9) 前記チャネルがFETの長さの約4分の1である上記(2)に記載のFET。

(10) 各々が実質的に共面の頂部表面を有し、前記それぞれ実質的に共面の頂部表面上に接点パッドを有する電氣的に分離された2つの部分に、前記ゲートを電氣的に分離するための前記ゲート内の誘電体材料をさらに含む上記(2)に記載のFET。

(11) 前記エピタキシャル・チャネルがIV族元素の組み合わせから形成される上記(2)に記載のFET。

(12) 前記エピタキシャル・チャネルがシリコンとIV族元素の合金から形成される上記(2)に記載のFET。

(13) 前記エピタキシャル・チャネルがシリコンと、ゲルマニウムおよび炭素の少なくとも1つとの合金から形成される上記(2)に記載のFET。

(14) 基板上に第1および第2エピタキシャル成長チャネルを形成するステップと、ソースおよびドレインの側部表面が前記第1および第2エピタキシャル成長チャネルの相対する端部表面と接触するように、シリコン層内の領域をエッチングしてソースおよびドレインを形成するステップと、前記第1および第2エピタキシャル成長チャネルの頂部表面および2つの側部表面、ならびに基板の頂部表面に接触するゲートを形成するステップとを含む二重ゲート電界効果トランジスタ(FET)を形成する方法。

(15) 前記形成ステップが、シリコン・ラインの各端が前記ソースおよびドレインの端と接触するように、第1および第2シリコン・ラインを形成するステップと、前記第1および第2シリコン・ラインの各々の露出した側部表面上でエッチ・ストップ層を形成するステップと、各エッチ・ストップ層上で第1および第2シリコン層をエピタキシャル成長させるステップと、前記第1および第2シリコン・ラインおよびエッチ・ストップ層をエッチングで除去するステップと、前記第1および第2エピタキシャル成長シリコン層の周囲および前記ソースとドレインとの間の領域を酸化物充填材で充填するステップと、前記酸化物充填材の一部分をエッチングして、前記ソースと前記ドレインとの間の実質的に中央に位置しかつそれらと実質的に平行であるようなゲートを画定する領域を形成するステップと、材料を堆積してゲートを形成するステップとを含む上記(14)に記載の方法。

(16) 前記ゲートと前記ソースとの間の酸化物充填材をエッチングして、前記第1および第2エピタキシャル成長シリコン層を露出させるステップと、前記ゲートと

前記ドレインとの間の酸化物充填材をエッチングして、前記第1および第2エピタキシャル成長シリコン層を露出させるステップとをさらに含む上記(15)に記載の方法。

(17) 前記第1および第2エピタキシャル成長シリコン層の上に酸化物を形成するステップをさらに備えた上記(16)に記載の方法。

(18) 前記酸化物が二酸化シリコンである上記(17)に記載の方法。

(19) 前記ゲートと前記ソースとの間の前記エピタキシャル成長シリコン層の一部分に注入するステップと、前記ゲートと前記ドレインとの間の前記エピタキシャル成長シリコン層の一部分に注入するステップとをさらに含む上記(16)に記載の方法。

(20) 前記注入ステップが、前記エピタキシャル成長シリコン層の頂部表面に垂直なベクトルに対して10から45度の範囲内にある上記(18)に記載の方法。

(21) 前記注入が相互に対して約90度の角度で連続して行われる上記(14)に記載の方法。

(22) 前記ゲート、前記ソース、および前記ドレインの各々の上に接点を形成するステップをさらに含む上記(14)に記載の方法。

(23) ゲート材料がポリシリコンである上記(14)に記載の方法。

【図面の簡単な説明】

【図1】シリコン・ラインを示すデバイスの上面図である。

【図2】図1に示す切断部1-1の断面図である。

【図3】図1に示す切断部2-2の断面図である。

【図4】エッチ停止層およびチャネル層のエピタキシャル成長後の図1の基板を示す平面図である。

【図5】図4に示す切断部1-1の断面図である。

【図6】図4に示す切断部2-2の断面図である。

【図7】シリコン・ラインを除去するためのマスク開口のある図4の図である。

【図8】図7に示す切断部2-2の断面図である。

【図9】シリコン・ラインおよびエッチ・ストップ層の残りの部分の除去後の図7の図である。

【図10】図9に示す切断部2-2の断面図である。

【図11】第2チャネルの形成後の図9のデバイスの図である。

【図12】図11に示す切断部2-2の代表的断面図である。

【図13】浅いトレンチ分離(STI)の充填および研磨後の図12の基板の図である。

【図14】ポリシリコン導体(PC)レジスト・マスクを塗布しエッチングした後の図21に示す切断部2-2の代表的断面図である。

【図15】PCレジスト・マスクを塗布した後の図21に示した切断部2-2の代表的断面図である。

【図16】ゲート誘電体の成長または堆積およびゲート導体の堆積後の図14の基板の図である。

【図17】PCレジスト・マスクの除去後の図15の基板の図である。

【図18】図16の基板のSTIの除去および分離層の注入を示す図である。

【図19】図17の基板の延長注入を示す図である。

【図20】接点前の図18の完成デバイスを示す図である。

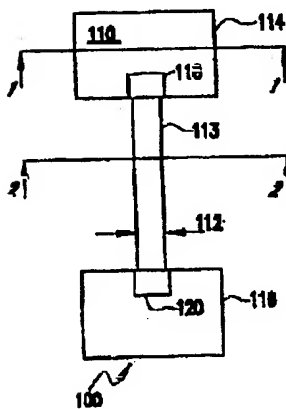
【図21】完成デバイスの上面図である。

【図22】過剰なファセットティングによる欠陥材料を除去する技術を示す図である。

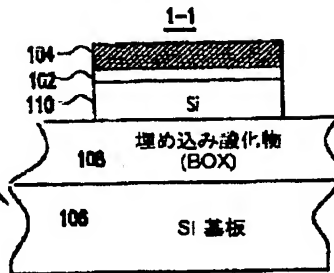
# 【符号の説明】

- 100 基板
- 102 酸化物パッド膜
- 104 窒化物パッド膜
- 106 バルク基板
- 108 埋込み酸化物層
- 110 活性層
- 114 ソース領域
- 116 ドレイン領域
- 118 接点領域
- 120 接点領域
- 202 エッチ・ストップ

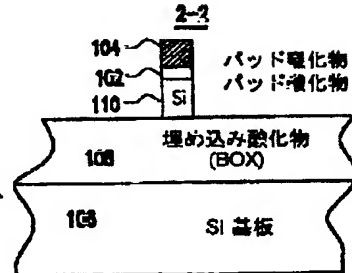
【図1】



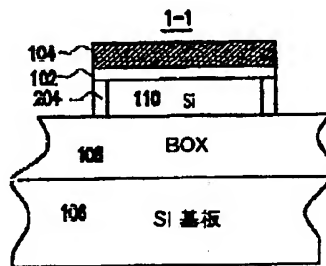
【図2】



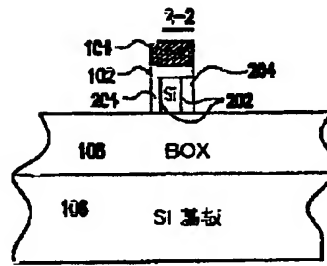
【図3】



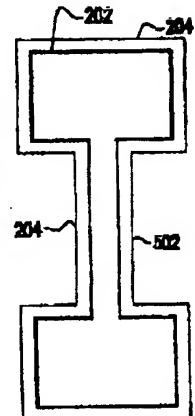
【図5】



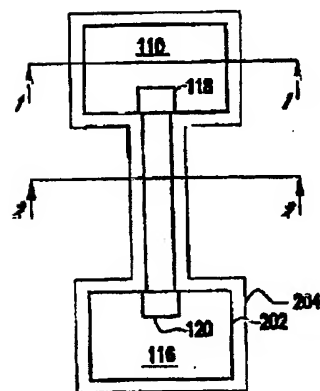
【図6】



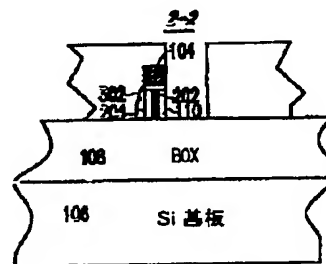
【図11】



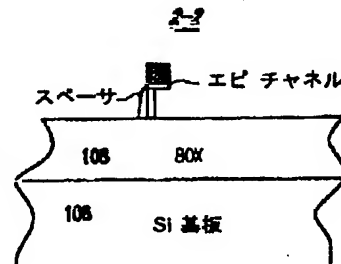
【図4】



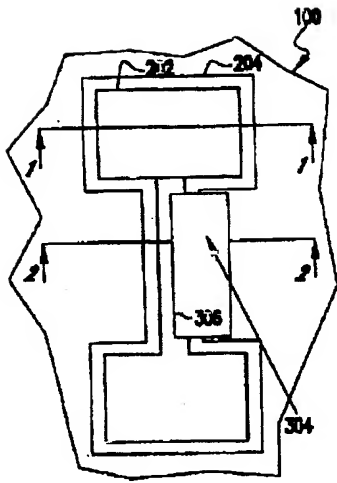
【図8】



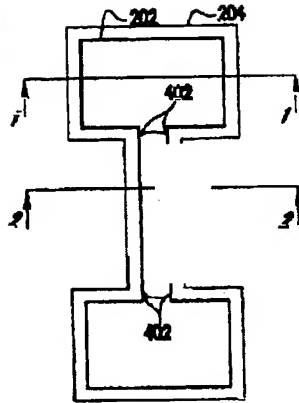
【図10】



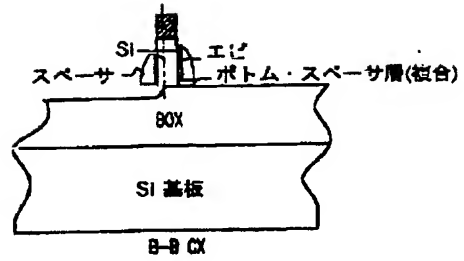
【図7】



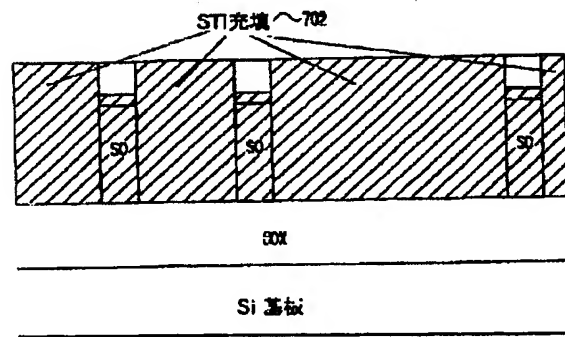
【図9】



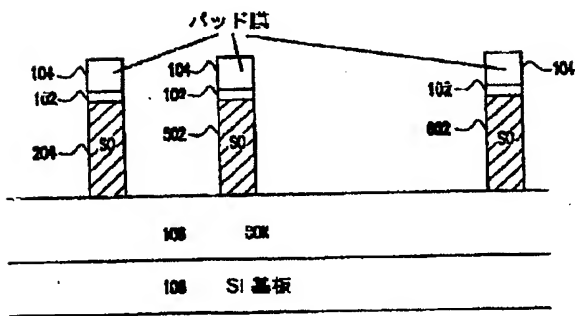
【図22】



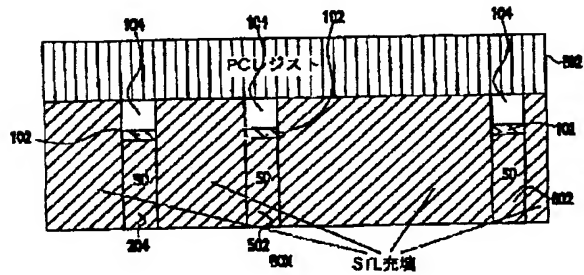
【図13】



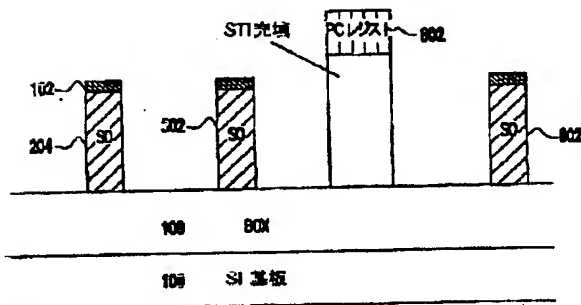
【図12】



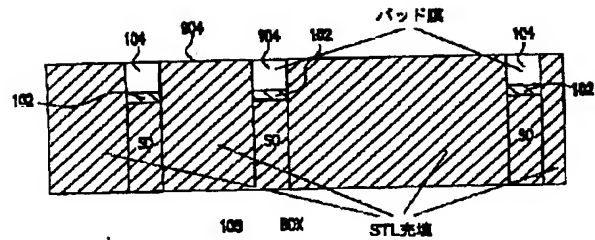
【図15】



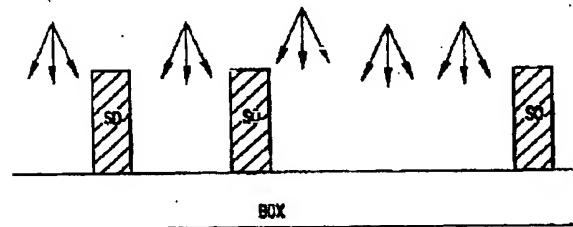
【図14】



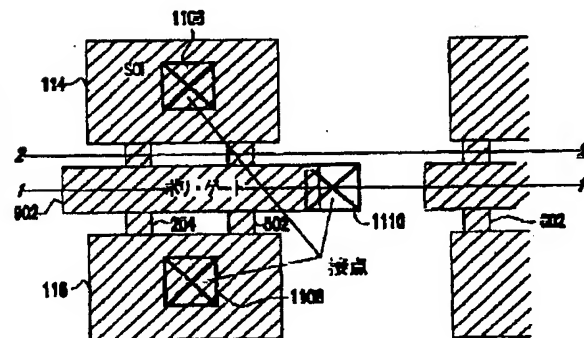
【图 17】



【图19】



【図21】



(参考)

(72)発明者 ラマ・ジバカルニ  
アメリカ合衆国10589 ニューヨーク州ソ  
マーズ ヘリテージ・ヒルズ 131ビー

|         |  |  |
|---------|--|--|
| (72)発明者 | エリン・シー・ジョーンズ<br>アメリカ合衆国10707 ニューヨーク州タ<br>カホー ミッドランド・アベニュー 192                        | Fターム(参考) 5F048 AA01 AC01 BA14 BA16 BB01<br>BB05 BB11 BC01 BC11 BD01<br>BD06 BD09 BG05  |
| (72)発明者 | エドワード・ジェー・ノバク<br>アメリカ合衆国05452 バーモント州エセ<br>ックス・ジャンクション ウィンドリッ<br>ジ・ロード 8              | 5F110 AA01 AA03 CC02 CC10 DD05<br>DD13 EE01 EE02 EE03 EE04<br>EE05 EE08 EE09 EE14 EE29<br>EE32 EE44 EE45 EE48 FF01<br>FF02 FF03 FF04 FF09 FF22 |
| (72)発明者 | ジェド・エイチ・ランキン<br>アメリカ合衆国05401 バーモント州バー<br>リントン リバーサイド・アベニュー<br>220 アpartment・ナンバー・シー8 | FF26 FF29 GG01 GG02 GG03<br>GG07 GG19 GG22 GG23 GG25<br>GG30 GG42 GG52 HJ13 NN62<br>NN65 QQ11  |